

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031163

(43)Date of publication of application : 28.01.2000

(51)Int.Cl. H01L 21/336
C30B 29/36
H01L 21/02
H01L 29/16
H01L 29/78

(21)Application number : 10-197607

(71)Applicant : DENSO CORP

(22)Date of filing : 13.07.1998

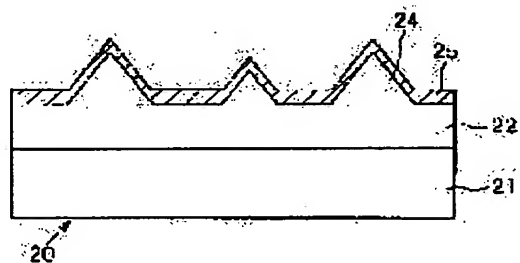
(72)Inventor : OKUDA TAKAHIRO
KAMIYA TOSHIO
MIYOSHI YOSHIHIRO
TAKEUCHI YUICHI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To increase fabrication yield of element by providing silicon carbide substrate from which epitaxial defect is removed and a fabrication method thereof thereby enhancing pattern accuracy.

SOLUTION: A protective film 25 is formed on the surface of an epitaxial layer 22 and the surface of protruding crystal defects 24 formed on the epitaxial layer 22. The protective film 25 is then polished along with the crystal defects 24 which is thereby converted into mesa type protrusions. When the crystal defects 24 are polished together with the protective film 25, the crystal defects 24 can be polished without damaging the surface of the epitaxial layer 22 and protrusion of the crystal defect 24 can be reduced. According to the method, fluctuation in the thickness can be eliminated at the time of coating resist in a photolithography process, and the gap between a glass mask and an epitaxial layer can be reduced at the time of baking by direct transfer method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31163
(P2000-31163A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/336		H 0 1 L 29/78	6 5 8 E 4 G 0 7 7
C 3 0 B 29/36		C 3 0 B 29/36	
H 0 1 L 21/02		H 0 1 L 21/02	B
29/16		29/16	
29/78		29/78	6 5 2 T

審査請求 未請求 請求項の数11 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平10-197607

(22) 出願日 平成10年7月13日 (1998.7.13)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 奥田 隆広

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 神谷 敏男

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外1名)

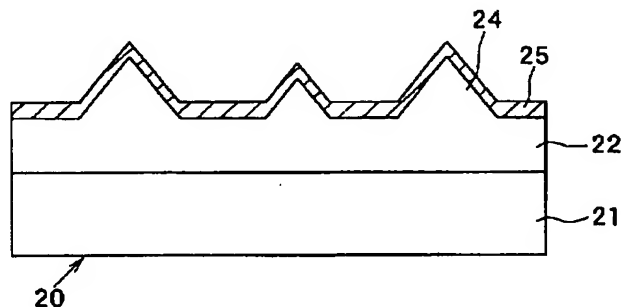
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 エピ欠陥を除去した炭化珪素基板及びその製造方法を提供することによって、パターン精度を向上させ、素子の歩留りを向上させる。

【解決手段】 エピタキシャル層22の表面及びエピタキシャル層22に形成された突起状の結晶欠陥24の表面に保護膜25を形成したのち、保護膜25と共に結晶欠陥24を研磨して、結晶欠陥24をメサ形状の突出部23とする。このように、結晶欠陥24を保護膜25と共に研磨するようにすれば、エピタキシャル層22の表面を傷つけることなく結晶欠陥24を研磨して、結晶欠陥24の突出量を少なくできる。よって、フォトリソグラフィ工程において、レジスト塗布の際のレジスト膜厚のバラツキを防止できると共に、直接転写法による焼き付けの際のガラスマスクとエピタキシャル層との間の隙間を小さくできるため、パターン精度を向上でき、素子の歩留りを向上させることができる。



【特許請求の範囲】

【請求項 1】 炭化珪素よりなる半導体基板 (21) の表面にエピタキシャル層 (22) が形成されている炭化珪素基板において、前記エピタキシャル層から前記エピタキシャル層上部に突出した結晶欠陥 (24) が研磨されて、メサ形状の突出部 (23) となっていることを特徴とする炭化珪素基板。

【請求項 2】 前記突出部の高さを $3\mu\text{m}$ 以下とすることを特徴とする請求項 1 に記載の炭化珪素基板。

【請求項 3】 前記突出部の高さを $1\mu\text{m}$ 以下とすることを特徴とする請求項 1 に記載の炭化珪素基板。

【請求項 4】 炭化珪素よりなる半導体基板 (21) の表面にエピタキシャル層 (22) を形成する工程と、前記エピタキシャル層の表面及び前記エピタキシャル層に形成された突起状の結晶欠陥 (24) の表面に保護膜 (25) を形成する工程と、前記保護膜と共に前記結晶欠陥を研磨して、該結晶欠陥をメサ形状の突出部 (23) にする工程と、前記保護膜を除去する工程と、を備えていることを特徴とする炭化珪素基板の製造方法。

【請求項 5】 前記保護膜を 1 乃至 $10\mu\text{m}$ の厚さで形成することを特徴とする請求項 4 に記載の炭化珪素基板の製造方法。

【請求項 6】 前記保護膜を、光学的に膜厚測定が可能な膜で構成することを特徴とした請求項 4 又は 5 に記載の炭化珪素基板の製造方法。

【請求項 7】 前記保護膜を、窒化膜、多結晶シリコン膜、酸化膜のいずれか 1 つからなる単層膜で構成することを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の炭化珪素基板の製造方法。

【請求項 8】 前記保護膜を、窒化膜、多結晶シリコン膜、酸化膜、金属膜のいずれか複数からなる多層膜で構成することを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の炭化珪素基板の製造方法。

【請求項 9】 前記研磨工程においては、前記保護膜が残るように前記研磨を行うことを特徴とする請求項 4 乃至 8 のいずれか 1 つに記載の炭化珪素基板の製造方法。

【請求項 10】 前記研磨工程においては、前記保護膜が $0.5\mu\text{m}$ ~ $1.0\mu\text{m}$ の厚さとなるように研磨することを特徴とする請求項 4 乃至 9 のいずれか 1 つに記載の炭化珪素基板の製造方法。

【請求項 11】 前記研磨工程においては、ダイヤモンド粉を含む液体を研磨剤として用いることを特徴とする請求項 4 乃至 10 のいずれか 1 つに記載の炭化珪素基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板の上にエピタキシャル層が形成された炭化珪素基板及びその製

造方法に関する。

【0002】

【従来の技術】 従来、炭化珪素 (以下、SiC という) 半導体装置をトレンチゲート型の SiC パワー MOSFET に用いたものが、特開平 7-326755 号公報あるいは特開平 8-70124 号公報に開示されている。この SiC パワー MOSFET は、低オン抵抗、高耐圧等の優れた特性を有するものである。図 6 にその断面構成を示す。

10 【0003】 表面の面方位が (0001-) カーボン面である六方晶系の n^+ 型単結晶 SiC の半導体基板 (低抵抗半導体層) 1 上に、 n^- 型エピタキシャル層 (高抵抗層) 2 と p 型エピタキシャル層 3 が順次積層されて、SiC 基板 100 を構成している。p 型エピタキシャル層 3 内には半導体領域としての n^+ ソース領域 5 が形成されており、この n^+ ソース領域 5 と p 型エピタキシャル層 3 を貫通して n^- 型エピタキシャル層 2 に達するトレンチ 6 が形成されている。トレンチ 6 内には、ゲート熱酸化膜 7 が形成され、その上にゲート電極層 8 (8 a、8 b) が形成されている。さらに、層間絶縁膜 9、 n^+ ソース領域 5 の表面、および p 型エピタキシャル層 3 の表面には、第 1 の電極層としてのソース電極層 10 が形成され、半導体基板 1 の裏面には、第 2 の電極層としてのドレイン電極層 11 が形成されている。

20 【0004】 上記構成において、トレンチ 6 の側面 6 a での p 型エピタキシャル層 3 の表面がチャネルとなっており、ゲート電極 8 に正電圧が印加されてチャネルが形成されると、ソース・ドレイン間に電流が流れる。上記した SiC パワー MOSFET の製造方法を、特開平 8-70124 号公報に開示されたものに従って概要説明する。

30 【0005】 まず、図 7 に示すように、表面の面方位が (0001-) カーボン面である n^+ 型単結晶 SiC の半導体基板 1 上に n^- 型エピタキシャル層 2 と p 型エピタキシャル層 3 を順次積層し、SiC 基板 (ウェハ) 100 を形成する。この場合、半導体基板 1 の結晶軸を、SiC 基板 100 の表面に垂直な軸に対し約 $3.5^\circ \sim 8^\circ$ 傾けてあるため、p 型エピタキシャル層 3 の主表面の面方位は、略 (0001-) カーボン面となる。

40 【0006】 この後、SiC 基板 100 に半導体素子としての MOSFET を形成する。まず、図 8 に示すように、p 型エピタキシャル層 3 に対しマスク材 12 を用いてイオン注入法により n^+ ソース領域 5 を形成する。次に、マスク材 12 を除去した後、図 9 に示すように、マスク材 13 を用いて反応性イオンエッチング (RIE) 法により、 n^+ ソース領域 5 と p 型エピタキシャル層 3 を貫通し n^- 型エピタキシャル層 2 に達するトレンチ 6 を形成する。

50 【0007】 この後、図 10 に示すように、熱酸化法によりトレンチ内壁に犠牲酸化膜としての熱酸化膜 15 を

1100℃で5時間程度の熱酸化工程により形成し、そして、図11に示すように、この熱酸化膜15を弗酸により除去した後、マスク材13を除去する。この熱酸化膜15を除去することにより、トレンチ内壁のダメージ層が除去される。

【0008】次に、図12に示すように、熱酸化法によりゲート熱酸化膜7を1100℃で5時間程度の一度の熱酸化工程により形成する、この熱酸化によりトレンチ6の側面6aに位置する厚さが50nmの薄いゲート熱酸化膜7aと、トレンチ6の底面6bに位置する厚さが500nmの厚いゲート熱酸化膜7bが形成される。さらに、 n^+ ソース領域5上には厚さが500nmの厚いゲート熱酸化膜7cが形成される。

【0009】続いて、図13に示すように、トレンチ6内を、第1及び第2ポリシリコン層8a、8bにより順次埋め戻す。この後、第1及び第2ポリシリコン層8a、8b上を含めたゲート熱酸化膜7上に、CVD法により層間絶縁層9を形成し、ソースコンタクト予定位置の n^+ ソース領域5とp型エピタキシャル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去する。そして、 n^+ ソース領域5とp型エピタキシャル層3及び層間絶縁層9上にソース電極層10を形成するとともに、半導体基板1の裏面にドレイン電極層11を形成して、図6に示すSiCパワーMOSFETを完成させる。

【0010】

【発明が解決しようとする課題】上記した炭化珪素よりなるトレンチ型MOSFETは、低オン抵抗、高耐圧等優れた特性を有しているが、素子の歩留りがシリコン半導体装置に比べて非常に低くなるという問題がある。本発明者らの調査によると、その原因としてエピタキシャル層が形成された炭化珪素基板に無数存在するエピタキシャル成長に起因する欠陥、いわゆるエピ欠陥が影響していることが判明した。

【0011】図14に示す炭化珪素基板50の拡大図に表されるように、エピ欠陥51は、エピタキシャル層52の表面から突出した六角錐形状となっており、最大30 μ mほどの高さを有している。このため、フォトリソグラフィ工程において、レジスト塗布の際にレジストの膜厚にバラツキが生じ、時にはエピ欠陥51に塗布されたレジストが剥離してしまっており、高解像度のパターン形成ができなくなる場合がある。また、フォトリソグラフィ工程において、図15に示すように直接転写法（ガラスマスクをレジスト表面に接触させて露光する方法）でパターンを焼き付ける際にガラスマスク53とレジスト54の表面との間に隙間が生じて解像度を低下させる場合がある。

【0012】このように、フォトリソグラフィ工程の際にエピ欠陥が影響して、素子の歩留りを低下させてしまうのである。本発明は上記問題に鑑みて成され、エピ欠

陥を除去した炭化珪素基板及びその製造方法を提供することによって、パターン精度を向上させ、素子の歩留りを向上させることを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1に記載の発明においては、エピタキシャル層（22）に形成された結晶欠陥（24）が研磨されてメサ型の突出部（23）となっていることを特徴としている。

10. 【0014】このように、エピタキシャル成長に起因する結晶欠陥の先端を研磨して、メサ型の突出部となるようにすれば、結晶欠陥の突出量を少なくできる。これにより、フォトリソグラフィ工程において、レジスト塗布の際のレジスト膜厚のバラツキを防止できると共に、直接転写法による焼き付けの際のガラスマスクとエピタキシャル層との間の隙間を小さくできるため、パターン精度を向上でき、素子の歩留りを向上させることができる。

20. 【0015】例えば、請求項2に示すように、突出部の高さを3 μ m以下とすれば、結晶欠陥の部分でレジストが剥離するというのを防止することができ、パターン不良が防止できる。また、請求項3に示すように、突出部の高さを1 μ m以下とすれば、効果的にレジスト塗布の際のレジスト膜厚のバラツキを防止でき、パターン不良を防止できる。

30. 【0016】請求項4に記載の発明においては、エピタキシャル層（22）の表面及びエピタキシャル層に形成された突起状の結晶欠陥（24）の表面に保護膜（25）を形成したのち、保護膜と共に結晶欠陥を研磨して結晶欠陥をメサ形状の突出部（23）とすることを特徴としている。このように、エピタキシャル層及び結晶欠陥を保護膜で覆って、結晶欠陥を保護膜と共に研磨するようにすれば、エピタキシャル層の表面を傷つけることなく結晶欠陥を研磨できる。これにより、エピタキシャル層に形成された結晶欠陥の突出量を少なくできる。

40. 【0017】請求項5に記載の発明においては、保護膜を10 μ m程度の厚さで形成することを特徴としている。このように、保護膜の厚さを10 μ m程度とすることによって、突出量が30 μ m程度ある結晶欠陥を研磨しても、保護膜を貫通してエピタキシャル層表面を傷付けてしまうのを防止することができる。

【0018】請求項6に記載の発明においては、保護膜を、光学的に膜厚測定が可能な膜で構成することを特徴としている。このように、光学的に膜厚測定可能な膜で保護膜を構成することによって、結晶欠陥を研磨する時に、保護膜の残余量を正確に把握することができ、研磨量の制御を容易にすることができる。

50. 【0019】請求項7に記載の発明においては、保護膜を、窒化膜、多結晶シリコン膜、酸化膜のいずれか1つからなる単層膜で構成することを特徴としている。この

ような単層膜で構成することにより、ウェハ面内分布を精度良く均一にできると共に、これらの材質のもので保護膜を構成することによって硬度上研磨加工に耐えられ、十分に保護膜として機能させることができる。

【0020】請求項8に記載の発明においては、保護膜を、窒化膜、多結晶シリコン膜、酸化膜、金属膜のいずれか複数からなる多層膜で構成することの特徴としている。このように、材質の異なる複数の多層膜で保護膜を形成することにより、単層膜のように光学測定によらずとも目視によって容易に保護膜の残余量を把握することができる。

【0021】請求項9に記載の発明においては、研磨工程においては、保護膜が残るように研磨を行うことを特徴としている。このように、保護膜が残るように研磨を行うことによって、選択的にエピ欠陥のみが研磨され、それ以外のエピタキシャル層が研磨されないようにできるため、エピタキシャル層表面の研磨傷の発生を防止することができる。

【0022】請求項10に記載の発明においては、研磨工程においては、保護膜が0.5 μ m～1.0 μ mの厚さとなるように研磨することの特徴としている。このように、保護膜が0.5 μ m～1.0 μ mの厚さとなるようにする、つまり結晶欠陥の突出量が0.5 μ m～1.0 μ mとなるようにすれば、フォトリソグラフィ工程において、レジスト塗布時のレジスト膜厚がウェハ全面で均一にでき、よりパターン精度を良好にできる。

【0023】なお、請求項11に示すように、硬度が高いダイヤモンド粉を含む液体を研磨剤として用いることができる。また、このダイヤモンド粉の粒径を1乃至9 μ m程度とすることによって、滑らかなミクロン単位の研磨制御を行うことができる。なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0024】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に、本発明の一実施形態を適用して製造した炭化珪素基板20を示す。この図に示すように、炭化珪素基板20は、半導体基板21にエピタキシャル成長法によってエピタキシャル層22を形成したものである。この炭化珪素基板20のうち、エピタキシャル層22の表面には、部分的に微小量突出した突起部23が存在している。この突起部23は、エピ欠陥を研磨したものであり、突出量が3 μ m以下（好ましくは1 μ m以下）となっており、突出量が最大30 μ m程度あるエピ欠陥と比べて十分に小さくなっている。

【0025】このようにエピ欠陥の突出量が低減された炭化珪素基板20を用いて、図6に示したトレンチ型MOSFETの製造を行えば、フォトリソグラフィ工程において、レジスト塗布時におけるレジストの膜厚バラツキや剥離を防止することができ、さらに直接転写法によ

るパターンの焼き付けの際において、ガラスマスクとレジストとの間の隙間を小さくできるため解像度を向上させることができる。

【0026】これにより、フォトリソグラフィ工程におけるパターン精度を良好にでき、素子の歩留りを向上させることができる。なお、突起部23の突出量が1 μ m以下となっていれば、レジスト塗布時にレジストの膜厚がウェハ全面で均一にできるため、よりパターン精度を良好にすることができる。

10 【0027】次に、図1に示す炭化珪素基板20の製造方法について、図2～図5に示す製造工程図を基に説明する。

〔図2に示す工程〕まず、半導体基板21にエピタキシャル層22を形成する。その時、エピタキシャル層22表面から最大30 μ mにおよぶエピ欠陥24が発生する。このエピ欠陥24は、六角錐型をしており、いわゆるピラミッド形状を成している。

20 【0028】〔図3に示す工程〕次に、エピタキシャル層22表面に3 μ m程度の保護膜25を単層膜で形成する。この保護膜25としては、硬度上研磨加工に耐えられる材質であり、かつ光学的に膜厚測定が行えるものを選択する。例えば酸化膜とすることができる。この酸化膜は、LPCVD等で形成できる。なお、このように単層膜で保護膜25を構成すると、ウェハ面内分布が精度良く均一にすることができる。また、酸化膜という、一般的な半導体加工で対応可能なもので保護膜25を形成することにより、保護膜25を容易に形成できる。

30 【0029】〔図4に示す工程〕そして、保護膜25と共にエピ欠陥24をダイヤモンド粉を含んだいわゆるダイヤモンド液で研磨する。このとき、保護膜25を光学的な膜厚測定を実施しながら、エピ欠陥24のない領域に形成された保護膜25が所望の膜厚、例えば0.5～1.0 μ mとなるように研磨する。

40 【0030】このとき、荒取り研磨は9 μ m粒子のダイヤモンド液を用い、仕上げ研磨は1 μ m粒子のダイヤモンド液を用いている。このようにすることで、研磨の初期段階は研磨量を大きくでき、仕上げ段階の際に滑らかなミクロン単位の研磨制御が行えるようにできる。そして、このような研磨を行うと、エピタキシャル層22表面に研磨傷を付けることなく、突出したエピ欠陥24のみ除去される。また、保護膜25は基板全面に形成してあるので、エピ欠陥24の除去がウェハ全面で同時に実施される。また、保護膜25を0.5 μ m～1.0 μ m残存してあるので、エピ欠陥24は1 μ m以下の高さとなる。

50 【0031】この研磨加工時において、削り取られたエピ欠陥24の一部が残渣としてウェハ上に残るため、この残渣が保護膜25を貫通してエピタキシャル層22の表面に研磨傷を発生させる場合がある。この研磨傷は、削り取られたエピ欠陥24の粒径と保護膜25の厚さに依存して発生しており、エピ欠陥24の粒径が保護膜2

5の厚さよりも大きいときに発生する。実験によれば、粒径は研磨加工の段階で変化し、初期段階では大きく、仕上げの段階では小さくなるため、研磨加工の段階に応じて必要とされる保護膜25の膜厚が異なるが、最も膜厚が必要とされる初期段階に保護膜25が $10\mu\text{m}$ の膜厚を有していれば、高さ $30\mu\text{m}$ のエピ欠陥24に対しても研磨傷の発生を防止できる。

【0032】その後、保護膜25を薬品等(例えば、フッ酸)で完全に除去する。このようにすると、エピ欠陥24は突出量 h が所望の大きさ、例えば $1\mu\text{m}$ 以下のメサ形状の突起部23となる。これにより、図1に示す炭化珪素基板20が完成する。このように、エピ欠陥24を研磨することによってエピ欠陥24の突出量を少なくすることができると共に、エピ欠陥24の研磨の際にエピタキシャル層22を保護膜25で覆うことによって、エピタキシャル層22が傷つかないようにできる。

【0033】そして、このように形成された半導体基板20を使用することによって、歩留りの良好な素子を形成することができる。

(第2実施形態) 本実施形態では、保護膜25を多層膜で構成する場合について説明する。この場合の炭化珪素基板20の製造工程は、第1実施形態に示した単層膜の場合とほぼ同様のため、異なる工程のみを説明する。本実施形態における炭化珪素基板20の製造工程を図5に示し、これらの図に基づいて説明する。

【0034】まず、図2のエピタキシャル層22を形成後、図5に示すように、一層目の保護膜25aとして例えば酸化膜を所望の厚さ、例えば $1.0\mu\text{m}$ で形成し、さらに、二層目の保護膜25bとして例えば多結晶シリコン膜 $5\mu\text{m}$ をLP-CVDで形成し多層膜とする。次に、保護膜25の表面色を目視で観察しながら、第1の実施形態と同様な方法で研磨する。ここで、保護膜25の表面色が変化した時点で研磨を終了する。つまり、二層目の保護膜25aが除去されると、二層目の保護膜25bが目視されるため、保護膜25の色彩が変化するの

である。

【0035】こうすることで、保護膜25の残膜量を $1\mu\text{m}$ に制御することができる。この場合、第1の実施例のような光学測定器および光学測定工程は必要なく、目視により容易に研磨量を把握可能である。この後、第1

実施形態と同様に保護膜25を薬品等で完全に除去する。

(他の実施形態) なお、上記第2実施形態では保護膜25として酸化膜と多結晶シリコン膜の場合について説明したが、保護膜25としては一層目と二層目の色彩が異なる膜種なら何を用いてもよい。例えば、窒化膜、多結

晶シリコン膜、酸化膜、金属膜のいずれか複数の組み合わせによって構成することができる。

【0036】また、保護膜25を単層膜とする場合には、上記した酸化膜の他、窒化膜、多結晶シリコン膜等が好ましい。これらで構成すると、硬度上研磨加工に耐えられ十分に保護膜として機能させることができる。上記実施形態では、炭化珪素基板20をトレンチ型MOSFETに使用する場合について説明したが、これ以外の素子、例えばプレーナ型MOSFETの形成に使用しても上記実施形態と同様の効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施形態を適用してエピ欠陥24を除去した炭化珪素基板20を説明するための図である。

【図2】図1に示す炭化珪素基板20の製造工程を示す図である。

【図3】図2に続く炭化珪素基板20の製造工程を示す図である。

【図4】図3に続く炭化珪素基板20の製造工程を示す図である。

【図5】第2実施形態における炭化珪素基板20の製造工程を示す図である。

【図6】炭化珪素基板20を使用して形成されるトレンチ型MOSFETの断面図である。

【図7】図6に示すトレンチ型MOSFETの製造工程を示す図である。

【図8】図7に続くトレンチ型MOSFETの製造工程を示す図である。

【図9】図8に続くトレンチ型MOSFETの製造工程を示す図である。

【図10】図9に続くトレンチ型MOSFETの製造工程を示す図である。

【図11】図10に続くトレンチ型MOSFETの製造工程を示す図である。

【図12】図11に続くトレンチ型MOSFETの製造工程を示す図である。

【図13】図12に続くトレンチ型MOSFETの製造工程を示す図である。

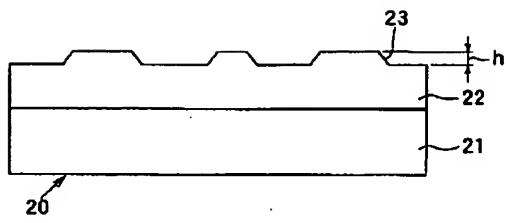
【図14】エピ欠陥24が存在する炭化珪素基板20の拡大図である。

【図15】直接転写法によるパターンの焼き付けを説明するための図である。

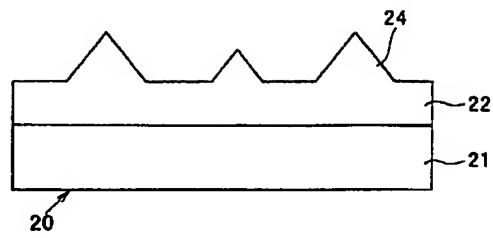
【符号の説明】

20…炭化珪素基板、21…半導体基板、22…エピタキシャル層、23…突起部、24…エピ欠陥(結晶欠陥)、25…保護膜。

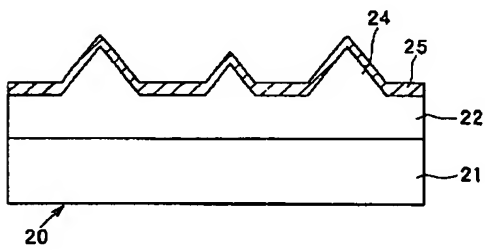
【図 1】



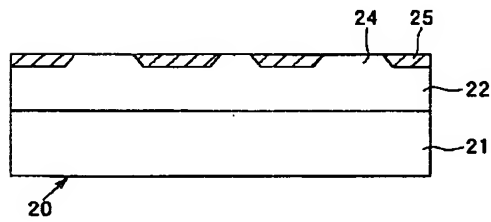
【図 2】



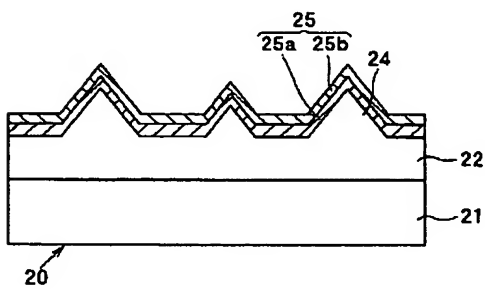
【図 3】



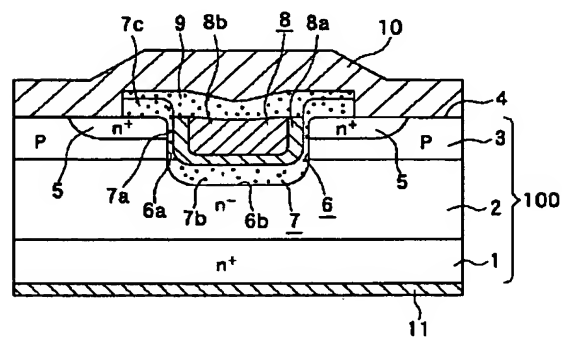
【図 4】



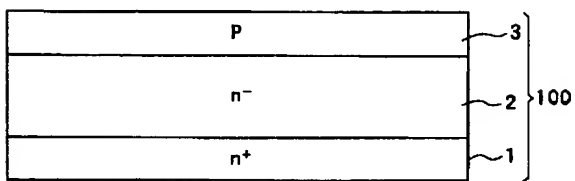
【図 5】



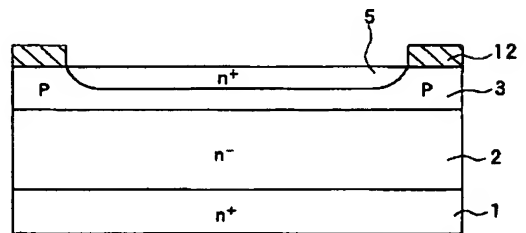
【図 6】



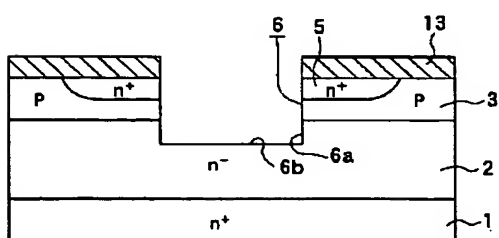
【図 7】



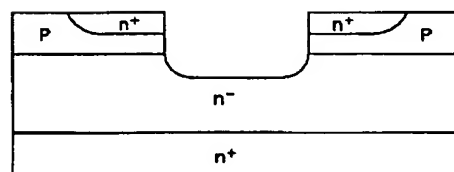
【図 8】



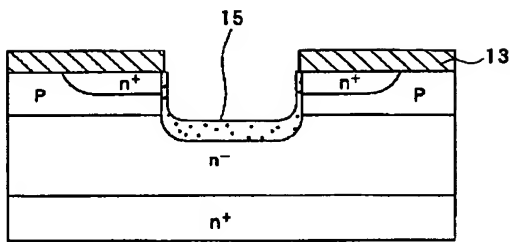
【図 9】



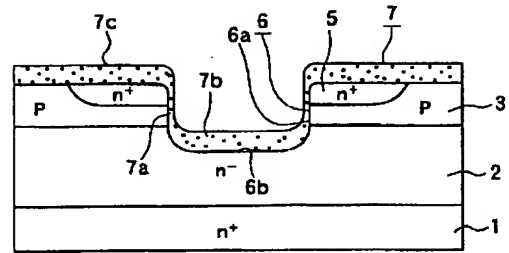
【図 11】



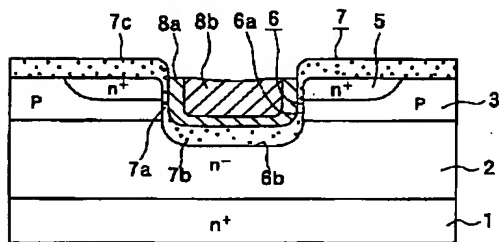
【図10】



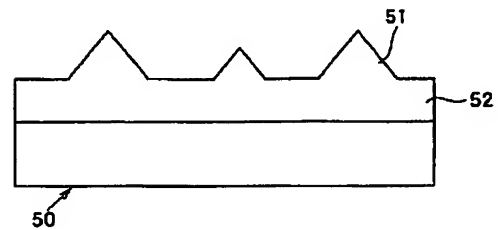
【図12】



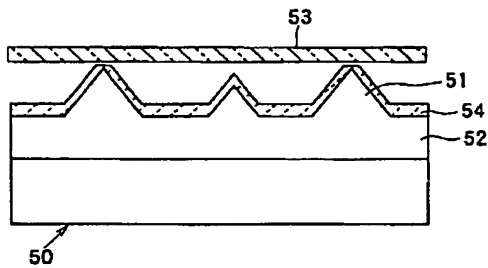
【図13】



【図14】



【図15】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/78

6 5 3 A

(72) 発明者 三好 好広
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 竹内 有一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

F ターム (参考) 4G077 AA03 AB02 BE08 CG00 ED06
EH01 FG11 FJ06 HA06